

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-11144

(P2012-11144A)

(43) 公開日 平成24年1月19日(2012.1.19)

(51) Int.Cl.	F 1	テーマコード (参考)
A 6 1 B	1/04	4 C 0 6 1
1/04	3 6 2 J	4 C 1 6 1
(2006.01)	A 6 1 B 1/04 3 7 2	

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号	特願2010-153460 (P2010-153460)	(71) 出願人	000000376
(22) 出願日	平成22年7月5日 (2010.7.5)		オリンパス株式会社
			東京都渋谷区幡ヶ谷2丁目4番2号
		(74) 代理人	100076233
			弁理士 伊藤 進
		(72) 発明者	江幡 定生
			東京都渋谷区幡ヶ谷2丁目4番2号
			オリンパス株式会社内
		Fターム(参考)	4C061 CC06 FF45 JJ15 JJ18 JJ19
			LL02 NN03 UU03 UU09
			4C161 CC06 FF45 JJ15 JJ18 JJ19
			LL02 NN03 UU03 UU09

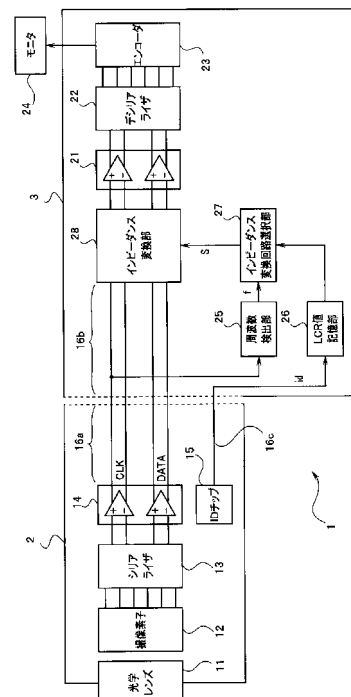
(54) 【発明の名称】 内視鏡装置

(57) 【要約】

【課題】挿入部の種類に応じてインピーダンス整合回路を個別に設ける必要のない内視鏡装置を提供する。

【解決手段】内視鏡装置1は、挿入部2の先端に設けられ、被写体の光学像を撮像する撮像素子12と、撮像素子12において光電変換された撮像信号に対して所定の画像処理を施すエンコーダ23と、撮像信号の伝送周波数を検出する周波数検出部25と、周波数検出部25において検出された伝送周波数に応じて、インピーダンス整合を取るインピーダンス変換部28を有する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

挿入部の先端に設けられ、被写体の光学像を撮像する撮像素子と、
前記撮像素子において光電変換された撮像信号に対して所定の画像処理を施す画像処理部と、
撮像信号の伝送周波数を検出する周波数検出部と、
該周波数検出部において検出された前記伝送周波数に応じて、インピーダンス整合を取るインピーダンス整合部と、
を有することを特徴とする内視鏡装置。

【請求項 2】

前記インピーダンス整合部は、前記伝送周波数、前記挿入部に挿通される前記撮像信号を伝送する信号線のインダクタンス、コンダクタンス及びレジスタンスの少なくとも 1 つに応じて、前記インピーダンス整合を取ることを特徴とする請求項 1 に記載の内視鏡装置。

【請求項 3】

前記インピーダンス整合部は、インダクタ、コンデンサ、抵抗、トランスの少なくとも一種類を含む複数の回路素子と、回路素子選択部と、を有し、
前記回路素子選択部は、前記伝送周波数に応じて、インピーダンス整合がとれるように、回路素子を選択することを特徴とする請求項 2 に記載の内視鏡装置。

【請求項 4】

前記回路素子選択部は、前記周波数検出部において検出された前記伝送周波数から算出されたリアクタンス成分が 0 になるように、前記回路素子の選択を行なうことを特徴とする請求項 3 に記載の内視鏡装置。

【請求項 5】

前記回路素子選択部は、誘導性リアクタンス成分と容量性リアクタンス成分が等しくなるように、前記回路素子の選択を行なうことを特徴とする請求項 4 に記載の内視鏡装置。

【請求項 6】

前記回路素子選択部は、前記リアクタンス成分が 0 になる前記誘導性リアクタンス成分あるいは前記容量性リアクタンス成分を演算により求め、その求めた結果に基づいて、前記回路素子の選択を行うことを特徴とする請求項 5 に記載の内視鏡装置。

【請求項 7】

前記伝送周波数と、前記信号線のインダクタンス、コンダクタンス及びレジスタンスに応じて、インピーダンスの整合が取れる回路素子の選択あるいは組み合わせの情報を記憶する不揮発性メモリを有し、

前記回路素子選択部は、前記不揮発性メモリを参照することによって、前記回路素子の選択を行うことを特徴とする請求項 5 に記載の内視鏡装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、内視鏡装置に関する。

【背景技術】**【0002】**

内視鏡装置は、本体部と挿入部とを有し、挿入部の先端には撮像素子が設けられている。本体部内のプロセッサは、撮像素子を駆動する為の各種駆動信号を、挿入部内部に設けられた信号線を介して撮像素子に供給して、撮像素子より映像信号を得てモニタに画像を表示させる。

【0003】

内視鏡装置の挿入部は、その用途ゆえに非常に細く、その長さも、数メートルから、長いものになると数十メートルになる。そのため、挿入部内の信号線に流れる駆動信号は、伝送経路におけるリアクタンス及び直流抵抗の影響を大きく受けるので、駆動パルス信号

10

20

30

40

50

に歪みや減衰が生じるという問題があった。駆動パルス信号の歪みや減衰は、撮像素子の安定的な駆動を阻害する要因となる。

【 0 0 0 4 】

そこで、特開昭 6 4 - 5 4 2 1 5 号公報に開示されているように、信号線の長さあるいは駆動パルス信号に応じて、最適なインピーダンスマッチングを取る内視鏡装置が提案されている。

【 0 0 0 5 】

特開昭 6 4 - 5 4 2 1 5 号公報に開示されている技術では、駆動パルス信号の伝送路において、インピーダンス整合を行うことが特徴となっているが、仮に送受信間でインピーダンス整合が取れていない状態で駆動パルスを伝送させても、出力された映像信号の画像に画質劣化はあっても、画像がモニタに出力されなくなるという致命的な状況は起こりにくかった。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開昭 6 4 - 5 4 2 1 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかし、撮像素子から出力される映像信号が、例えばデジタル信号の場合、伝送路においてインピーダンス不整合が発生した場合は、画像がモニタに出力されなくなってしまうおそれがあった。

20

例えば、CMOSイメージセンサの映像信号出力を、信号線を介してプロセッサまで伝送させる場合、映像信号の伝送路にインピーダンス不整合が発生すると、反射およびジッターの増加を招き、プロセッサ側で取得する映像データの誤り率（ビットエラー）が高くなり、画像ノイズの問題以前に画像がモニタに出力されない虞れがある。特に伝送線路の長い内視鏡装置の場合、リアクタンスの影響が大きい。その為、映像信号の伝送路におけるインピーダンス整合は重要なファクターであり、高画素な撮像素子を使用する場合、映像信号の伝送周波数もそれに比例して増加する為、反射やジッターの影響度はさらに大きくなる。

30

【 0 0 0 8 】

内視鏡装置はその用途に応じ、挿入部の長さや外径が異なるので、さまざまな形態が存在している。加えて、近年、小型かつ高画素な撮像素子が開発され、内視鏡に搭載する撮像素子の種類も多くなる傾向がある。

【 0 0 0 9 】

内視鏡装置にインピーダンス整合回路を搭載するにしても、撮像素子から出力される映像信号出力の伝送周波数も多種あると、搭載される撮像素子に応じて、つまり内視鏡装置の種類毎に、インピーダンス整合回路を個別に用意しなければならなかった。また、挿入部の長さや外径によって、信号線の長さ、導体径も異なり、リアクタンスの影響度も異なってくる為、同様に、挿入部の長さ等に応じて、インピーダンス整合回路を変更しなければならないという問題があった。

40

【 0 0 1 0 】

そこで、本発明は、挿入部の種類に応じてインピーダンス整合回路を個別に設ける必要のない内視鏡装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明の一態様によれば、挿入部の先端に設けられ、被写体の光学像を撮像する撮像素子と、前記撮像素子において光電変換された撮像信号に対して所定の画像処理を施す画像処理部と、撮像信号の伝送周波数を検出する周波数検出部と、該周波数検出部において検出された前記伝送周波数に応じて、インピーダンス整合を取るインピーダンス整合部と、

50

を有する内視鏡装置を提供することができる。

【発明の効果】

【0012】

本発明によれば、挿入部の種類に応じてインピーダンス整合回路を個別に設ける必要のない内視鏡装置を提供することができる。

【図面の簡単な説明】

【0013】

【図1】本発明の第1の実施の形態に係わる内視鏡装置の模式的な構成を示す構成図である。

【図2】本発明の第1の実施の形態に係わるインピーダンス変換部28の構成を説明するための回路図である。

【図3】本発明の第1の実施の形態に係わるインピーダンス変換回路選択部27の構成を説明するための回路図である。

【図4】本発明の第1の実施の形態に係わるインピーダンス変換回路選択部27の処理の流れを示すフローチャートである。

【図5】本発明の第2の実施の形態に係わる内視鏡装置の模式的な構成を示す構成図である。

【図6】本発明の第2の実施の形態に係わるインピーダンス変換回路選択部27Aの構成を説明するための回路図である。

【図7】本発明の第2の実施の形態に係わるインピーダンス整合条件記憶部29に記憶された整合条件の例を示す図である。

【発明を実施するための形態】

【0014】

以下、図面を参照して本発明の実施の形態を説明する。

(第1の実施の形態)

(構成)

まず図1に基づき、本実施の形態に係わる内視鏡装置の構成を説明する。図1は、本実施の形態に係わる内視鏡装置の模式的な構成を示す構成図である。

【0015】

図1に示すように、内視鏡装置1は、挿入部2とプロセッサ3とを含んで構成されている。挿入部2は、点線で示すように、本体部であるプロセッサ3に着脱自在になっている。以下、内視鏡装置1は、挿入部2がプロセッサ3に対して着脱可能な構成の例で説明するが、挿入部2がプロセッサ3に対して着脱可能でない構成であってもよい。

【0016】

挿入部2は、挿入部2の先端に設けられた対物光学系である光学レンズ11と、撮像素子12と、シリアルライザ13と、LVDS(LVDS: Low voltage differential signalingの略称。以降、LVDSと称す)ドライバー14と、IDチップ15とを有している。撮像素子12は、挿入部2の先端に設けられ、被写体の光学像を撮像する。ここでは、撮像素子12は、光学レンズ11の光を受光してデジタルパラレル映像データ信号を生成して出力するCMOSイメージセンサである。

【0017】

シリアルライザ13は、撮像素子12から出力されたデジタルパラレル映像データ信号をデジタルシリアル映像データ信号に変換する回路である。変換されたデジタルシリアル映像データ信号はシングルエンド信号であり、この信号は、LVDSドライバー14によって、LVDS信号に変換される。なお、撮像素子12の出力が、シリアル信号で映像データを出力する場合は、シリアルライザ13は、省略される。

【0018】

LVDSドライバー14は、LVDS信号として、LVDS信号化したリファレンスクロック信号CLKと、データ信号としてのデジタルシリアル映像データ信号DATAとを出力する。

LVDS信号に変換されたデジタルシリアル映像データ信号DATAおよびリファレンスクロ

10

20

30

40

50

ク信号CLKは、挿入部 2 内に配置された同軸ケーブルの伝送路 1 6 a を介し、プロセッサ 3 に伝送される。

【 0 0 1 9 】

また、IDチップ 1 5 は、挿入部 2 の識別情報idを格納した回路であり、例えば、挿入部 2 の識別情報idを記憶したメモリを有する。IDチップ 1 5 は、例えば、挿入部 2 の基端部に埋め込まれた不揮発性メモリを含むメモリチップであり、挿入部 2 内の信号線 1 6 c を介してプロセッサ 3 に接続されている。よって、後述するように、プロセッサ 3 は、IDチップ 1 5 に格納された識別情報idを得て、接続された挿入部 2 を識別することができる。

【 0 0 2 0 】

10

プロセッサ 3 は、LVDSドライバー 1 4 から伝送されたLVDS信号をリファレンスクロック信号CLKに基づいてシングルエンド信号に変換するLVDSレシーバー 2 1 と、LVDSレシーバー 2 1 から出力されたデジタルシリアル映像データ信号DATAをデジタルパラレル映像データ信号に変換するデシリアライザ 2 2 と、デシリアライザ 2 2 から出力されたデジタルパラレル映像データ信号をS-Video、VBS等の所定の信号に変換して、モニタで表示できるように画像処理を行うエンコーダ 2 3 とを含んで構成されている。モニタ 2 4 が、プロセッサ 3 に接続される。エンコーダ 2 3 によって変換された映像信号が、モニタ 2 4 に出力され、画像が表示される。

【 0 0 2 1 】

20

プロセッサ 3 は、さらに、周波数検出部 2 5 と、LCR値記憶部 2 6 と、インピーダンス変換回路選択部 2 7 と、インピーダンス変換部 2 8 とを含んでいる。

周波数検出部 2 5 は、撮像信号の伝送周波数を検出する。具体的には、周波数検出部 2 5 は、LVDSドライバー 1 4 から出力されたリファレンスクロック信号CLKの信号線の一方に接続され、リファレンスクロック信号CLKの周波数を検出して、検出した周波数 f の値を出力する回路である。周波数検出部 2 5 は、例えば、カウンタとコンパレータを有し、リファレンスクロック信号CLKの立ち上がりタイミングの周期をカウントすることによって周波数 f を検出している。

【 0 0 2 2 】

30

LCR値記憶部 2 6 は、LVDS信号の送信端であるLVDSドライバー 1 4 の出力部からプロセッサ 3 との接続部までの間のケーブルの伝送路 1 6 a の L C R 成分値、及び挿入部 2 との接続部からプロセッサ 3 内の伝送路 1 6 b、のインダクタンスL (以降、Lと称す)、コンダクタンスC (以降、Cと称す)、及びレジスタンスR (以降、Rと称す) 成分値情報を格納した不揮発性メモリである。なお、この成分値情報は、プロセッサ 3 と組み合わせて使用される挿入部毎に、工場出荷時に測定されて、その実測値をLCR値記憶部 2 6 に記憶させるようにしてもよい。以下、実測値が、LCR値記憶部 2 6 に記憶されている例で説明する。

【 0 0 2 3 】

40

LCR記憶部 2 6 には、信号線 1 6 c を介してIDチップ 1 5 からの内視鏡の識別情報idが入力される。LCR記憶部 2 6 は、挿入部 2 の識別情報idに基づいて、L,C,R成分値の情報を出力する。すなわち、LCR記憶部 2 6 は、挿入部 2 の識別情報idに基づいて、その接続された挿入部 2 のL、C、R成分値を出力する。

【 0 0 2 4 】

なお、ここでは、IDチップ 1 5 には、挿入部 2 の識別情報idが格納されているが、IDチップ 1 5 が、その挿入部 2 のL、C、R成分値を記憶するようにしてもよい。その場合は、LCR記憶部 2 6 を、省略することができる。

【 0 0 2 5 】

インピーダンス変換回路選択部 2 7 は、周波数検出部 2 5 とLCR値記憶部 2 6 より得た情報に基づいて送受信間のインピーダンス整合するために適切なインピーダンス変換回路を選択する選択信号Sを出力する回路である。

インピーダンス変換回路選択部 2 7 は、中央処理装置 (CPU)、ROM、RAMを含み、後述

50

するソフトウェアプログラムを実行可能である。

【0026】

インピーダンス変換部28は、LVDSレシーバ21の入力端のインピーダンスをLVDSレシーバ21の規定値に変換するためのインピーダンス変換回路を有している。インピーダンス変換部28には、複数のインピーダンス変換回路が設けられている。複数のインピーダンス変換回路は、互いに異なる回路定数のインダクタ、コンデンサで構成されている。

【0027】

リファレンスクロック信号CLKと、デジタルシリアル映像データ信号DATAが、インピーダンス変換部28に入力され、それぞれインピーダンス変換回路選択回路27によって選択されたインピーダンス変換回路に接続される。インピーダンス変換回路選択回路27とインピーダンス変換部28が、周波数検出部25において検出された伝送周波数に応じて、インピーダンス整合を取るインピーダンス整合部を構成する。

10

【0028】

インピーダンス変換部28は、複数のインダクタ(L1、L2、L3)と複数のコンデンサ(C1、C2、C3)からなる回路において使用するインダクタとコンデンサを選択することによって、所望のインピーダンス変換を行うように構成されている。

【0029】

インピーダンス変換回路選択部27は、所望のインダクタとコンデンサを選択するための選択信号Sを出力し、インピーダンス変換部28では、その選択信号Sによって、所望のインダクタとコンデンサの少なくとも一つを伝送路と接続する。

20

【0030】

インピーダンス変換部28は、インダクタ及びコンデンサの複数の回路素子を含み、回路素子選択部としてのインピーダンス変換回路選択回路27は、伝送周波数に応じて、インピーダンス整合のとれるように、回路素子を選択する。

【0031】

次に、インピーダンス変換部28の構成について説明する。図2は、インピーダンス変換部28の構成を説明するための回路図である。

図2に示すように、インピーダンス変換部28には、LVDSドライバー14を介してシリアルライザ13からのリファレンスクロック信号CLKと、デジタルシリアル映像データ信号DATAが入力される。そして、インピーダンス変換部28は、LVDSレシーバ21を介してデシリアルライザ22へ、リファレンスクロック信号CLKと、デジタルシリアル映像データ信号DATAを出力する。

30

【0032】

LVDSドライバー14は、リファレンスクロック信号CLKについての2本の信号線31、32と、デジタルシリアル映像データ信号DATAについての2本の信号線33、34を介して、出力信号CLK、DATAを出力する。4本の信号線31～34は、伝送路16a、16bを構成する。

【0033】

インピーダンス変換部28は、並列に接続された複数のインダクタ(すなわちコイル)と複数のコンデンサから構成され、各回路素子の導通を制御する複数の制御素子からなる回路ブロックを、複数含んで構成されている。

40

具体的には、図2に示すように、インピーダンス変換部28は、4つの回路ブロックB1、B2、B3、B4を含む。ブロックB1、B2は、それぞれリファレンスクロック信号CLKについての2本の信号線31、32に対応し、ブロックB3、B4は、それぞれデジタルシリアル映像データ信号DATAについての2本の信号線33、34に対応する回路である。

【0034】

各ブロックは、互いに並列に接続された6つの回路素子、すなわち3つのインダクタL1、L2、L3と3つのコンデンサC1、C2、C3を有し、かつ各回路素子と直列に接続された制御素子であるFETトランジスタ(以下、FETという)を含んで構成されている。

50

【 0 0 3 5 】

従って、各FETのゲートへの制御信号A1～A6を制御することによって、どの回路素子をLVDSレシーバ 2 1 に電氣的に接続するか制御することができる。

すなわち、インピーダンス変換部 2 8 は、複数のインダクタ(L1、L2、L3)、コンデンサ(C1、C2、C3)がLVDS伝送路に直列接続され、FET Q1～Q6を制御することによって、これらの回路素子の接続あるいは未接続を選択できるようになっている。

なお、図 2 において、LVDSレシーバ 2 1 の入力側には終端抵抗 r が設けられている。

【 0 0 3 6 】

図 3 は、インピーダンス変換回路選択部 2 7 の構成を説明するための回路図である。

インピーダンス変換回路選択部 2 7 は、周波数検出部 2 5 が検出した周波数の値 f と、LCR値記憶部 2 6 からの挿入部 2 の種類に応じたL,C,R成分値に基づいて、送受信間のインピーダンス整合条件を演算して求め、求めた結果に基づき、各FETへのON/OFF信号を決定して出力する。

インピーダンス変換部 2 8 内の各FETを選択するための選択信号Sは、複数のトランジスタTr1～Tr6からなる出力部 2 7 a を介して、インピーダンス変換選択部 2 7 に出力される。

【 0 0 3 7 】

挿入部 2 がプロセッサ 3 に接続され、プロセッサ 3 が起動されると、プロセッサ 3 は、挿入部 2 に搭載されたIDチップ 1 5 から挿入部 2 の識別情報idを、LCR値記憶部 2 6 から読み出す。LCR値記憶部 2 6 は、識別情報idに応じて、LCR値記憶部 2 6 に記憶されている各種挿入部のLVDSの伝送路 1 6 a のL、C、R成分値の中から、接続された挿入部 2 のL、C、R成分値を出力する。

【 0 0 3 8 】

LCR値記憶部 2 6 に記憶されているLVDSの伝送路 1 6 a のL、C、R成分値は、予め製造時に測定しておいたもので、接続される挿入部毎に、LCR値記憶部 2 6 内にルックアップテーブルとして格納されている。接続された挿入部 2 の識別情報idに基づいて特定されたL、C、R成分値の情報が、インピーダンス変換回路選択部 2 7 に伝達される。

【 0 0 3 9 】

さらに、撮像素子 1 2 が駆動され、撮像信号を出力する。プロセッサ 3 に設けられた周波数検出部 2 5 は、LVDSドライバ 1 4 から出力されたリファレンスクロック信号CLKの周波数 f を検出する。検出された周波数 f のデータは、インピーダンス変換回路選択部 2 7 に伝達される。

【 0 0 4 0 】

図 4 は、インピーダンス変換回路選択部 2 7 の処理の流れの例を示すフローチャートである。

インピーダンス変換回路選択部 2 7 は、LCR値記憶部 2 6 より伝達されたL、C、R値および、周波数検出部 2 5 より伝達された周波数 f の値をもとに、LVDS伝送路 1 6 a のインピーダンス Z を算出する(ステップ(以下、Sと略す)1)。

【 0 0 4 1 】

LCR値記憶部 2 6 により特定されたL、C、R値を、それぞれ、インダクタンス $L=La[uH]$ 、コンダクタンス $C=Ca[uF]$ 、レジスタンス $Ra[\Omega]$ とする。また、周波数検出部 2 5 で検出された周波数 f を $fa[MHz]$ とする。

LVDS伝送経路 1 6 a のインピーダンス Za は、次式から算出される。

【 0 0 4 2 】

$$Za=Ra \pm j((2\pi fa \cdot La - 1/(2\pi fa \cdot Ca)) = Ra \pm jXa \quad \cdots \text{式}(1)$$

次に、インピーダンス変換回路選択部 2 7 は、リアクタンス成分(jXa)中の誘導性リアクタンス成分値($2\pi fa \cdot La$)と容量性リアクタンス成分値($1/(2\pi fa \cdot Ca)$)の差が算出される($S2$)。

【 0 0 4 3 】

そして、その差が所定の閾値 TH 以上か否かが判定される($S3$)。その差が所定の閾値 TH

10

20

30

40

50

の場合 (S3:NO)、処理は、終了する。この場合、各信号線 3 1 ~ 3 4 は、図示しないバイパス信号線を介して、LVDSレシーバ 2 1 に接続される。

【 0 0 4 4 】

その差が所定の閾値TH以上の場合 (S3:YES)、その差から容量性リアクタンス成分が誘導性リアクタンス成分よりも大きいと判定される (S4)。

【 0 0 4 5 】

容量性リアクタンス成分が誘導性リアクタンス成分よりも大きい場合 (S4:YES)、リアクタンス成分 (jX_a) が 0 になるインダクタンスを算出し (S5)、算出したインダクタンスに対応するインダクタを選択して決定する (S6)。

【 0 0 4 6 】

そして、インピーダンス変換回路選択部 2 7 は、その決定したインダクタが選択されるようにする選択信号S、すなわち制御信号A1 ~ A3の少なくとも 1 つを出力する (S7)。

【 0 0 4 7 】

また、容量性リアクタンス成分が誘導性リアクタンス成分よりも大きくない場合 (S4:NO)、リアクタンス成分 (jX_a) が 0 になるコンダクタンスを算出し (S7)、算出したコンダクタンスに対応するコンデンサを選択して決定する (S8)。

【 0 0 4 8 】

そして、インピーダンス変換回路選択部 2 7 は、その決定したコンデンサが選択されるようにする選択信号S、すなわち制御信号A4 ~ A6の少なくとも 1 つを出力する (S9)。

【 0 0 4 9 】

例えば、高画素な撮像素子を搭載した挿入部が接続される場合、デジタル映像データの伝送周波数は高くなる。周波数 f が上がるごとに伝送経路のリアクタンス成分 X_a も大きくなるため、インピーダンス整合を取るためには、リアクタンス成分 X_a を減少させる必要がある。その為、コンデンサCを直列に接続する。既にコンデンサCが接続されている場合は、より大きな容量のコンデンサCを接続する。

【 0 0 5 0 】

例えば、 $Z_a = R_a + jX_a$ の場合、 Z_a をデシリアライザ入力端で $Z_o = R_a [\Omega]$ にするために、コンデンサCが直列接続されるように選択される。このときの回路定数は $C = 1 / (2 \pi f a \cdot X_a) [pF]$ である。

【 0 0 5 1 】

一方、低画素な撮像素子を搭載した挿入部を接続する場合、デジタル映像データの伝送周波数が下がる。周波数が下がるごとに伝送経路のリアクタンス成分 X_a も下がる為、インピーダンス整合を取るためには、リアクタンス成分 X_a を増加させる必要がある。その為、インダクタLを直列に接続する。既にインダクタLが接続されている場合は、より大きな容量のインダクタLを接続する。

【 0 0 5 2 】

例えば、 $Z_a = R_a - jX_a$ の場合、 Z_a をデシリアライザ入力端で $Z_o = R_a [\Omega]$ にするために、インダクタLが直列に接続される。このときの回路定数は $L = X_a / (2 \pi f a) [\mu H]$ である。

このように、インピーダンス変換回路選択部 2 7 は、周波数 f の値とL、C、R値の情報をもとに、LVDS伝送路 1 6 a、1 6 bのインピーダンスZを、LVDSレシーバ 2 1 の受信端において、規定されているインピーダンス値 (一般的には差動インピーダンス100 Ω) に変換するための回路定数を算出する。そして、その算出結果をもとに、複数あるインピーダンス変換回路の中から、その回路定数に対応する回路定数を有したインピーダンス変換回路が選択される。インピーダンス変換部 2 8 においては、選択されたインピーダンス変換回路がLVDSの伝送路 1 6 c に接続される。具体的には、FET Q1 ~ Q6の中から適切な定数のインダクタまたはコンデンサが接続されている信号線の上のFETがONされる。

【 0 0 5 3 】

以上のように、インピーダンス変換回路選択部 2 7 とインピーダンス変換部 2 8 からなるインピーダンス整合部は、伝送周波数、挿入部 2 に挿通される撮像信号を伝送する信号線のインダクタンス、コンダクタンス及びレジスタンスの少なくとも 1 つに応じて、イン

10

20

30

40

50

ピーダンス整合を取っている。

【0054】

なお、上述した例では、挿入部2の撮像素子及び信号線自体あるいは信号線の長さ等が異なることを想定する例である。しかし、内視鏡の、あるいは挿入部2の、物理的な構成が、撮像素子だけが異なるような場合、その挿入部2のLCR値は、変わらないので、撮像素子の周波数だけが異なるような場合は、周波数検出部によって検出された周波数 f の値だけで、インピーダンス変換回路選択部27は、接続すべき回路素子を選択するようにしてもよい。

【0055】

以上のように、上述した実施の形態の内視鏡装置によれば、互いに仕様の異なる複数の挿入部がある場合、挿入部毎に映像デジタルデータ伝送路のインピーダンス整合のための手段を個別に設けることはない。あるいは、インピーダンス整合をとるために、映像デジタルデータ伝送路に使用する同軸線を各種挿入部ごとに、伝送周波数ごとに変える必要もない。

10

【0056】

また、結果として、上述した実施の形態の内視鏡装置によれば、モニタに映像が出力できなくなる致命的な問題の発生を防ぎ、安定した画像を得ることができる。

【0057】

従来は、高画素化する撮像素子に応じて映像デジタルデータの周波数も高周波になる為、送受信間でインピーダンス整合を取るためには、同軸線を太くする場合もあった。しかし、内視鏡装置の場合、挿入部外径を細くする必要から、同軸線を太くできる量にも限界があった。これに対して、本実施の形態によれば、細い同軸線を使用することも可能となり、挿入部外径の細い内視鏡装置を実現することができる。

20

【0058】

さらに、CMOSイメージセンサを搭載した内視鏡装置は、ローリングシャッター方式を採用している場合が多く、動画像において画面上下方向に歪みが発生する問題があった。その改善策として、フレームレートを上げることが行われている。しかし、一般的にCMOSイメージセンサはCCDイメージセンサに比べ感度が低い上に、フレームレートを上げることでより画像がより暗くなる為、感度と動画像応答性のどちらに優先度を置くかに応じて、フレームレートを可変させる場合がある。

30

【0059】

その場合、解像度を損なわずにフレームレートを可変させたい為、CMOSイメージセンサに与える駆動周波数を変え、CMOSイメージセンサから出力されるピクセルクロックを可変させる必要がある。その結果、必然的に、CMOSイメージセンサから出力された映像信号の伝送周波数も、CMOSイメージセンサのピクセルクロックによって変更される。このような場合にも、従来であれば、その周波数の変更に応じた個別のインピーダンス整合回路を別途設ける必要があったが、上述した実施の形態の内視鏡装置によれば、周波数の種類に応じてインピーダンス整合回路を個別に設ける必要のない。

(第2の実施の形態)

第1の実施の形態では、インピーダンス変換回路選択部は、ソフトウェアプログラムにより、検出された周波数 f と、挿入部の伝送路のL,C,R成分値とから、インピーダンスの整合が取れるインダクタとコンデンサの選択あるいは組み合わせを演算して求めている。これに対して、第2の実施の形態では、インピーダンス変換回路選択部は、検出された周波数 f と、挿入部の伝送路のL,C,R成分値に基づいて、テーブルデータを参照することによって、インピーダンスの整合が取れるインダクタとコンデンサの選択あるいは組み合わせを求めている。

40

【0060】

図5は、本実施の形態に係わる内視鏡装置の模式的な構成を示す構成図である。図5において、図1の同一の構成要素については、同一の符号を付し説明は省略する。

【0061】

50

図 5 に示すように、内視鏡装置 1A において、プロセッサ 3 は、周波数検出部 25 と、LCR 値記憶部 26 と、インピーダンス変換回路選択部 27A と、インピーダンス変換部 28 とに加えて、さらに、インピーダンス整合条件記憶部 29 を含んでいる。

インピーダンス整合条件記憶部 29 は、周波数と L, C, R 成分値に応じたインピーダンス整合条件、言い換えると、周波数と L, C, R 成分値に応じて、インピーダンスの整合が取れるインダクタとコンデンサの選択あるいは組み合わせの情報を記憶する不揮発性メモリである。

【0062】

インピーダンス変換回路選択部 27 は、周波数検出部 25 が検出した周波数の値 f と、LCR 値記憶部 26 からの内視鏡の種類に応じた L, C, R 成分値に基づいて、インピーダンス整合条件記憶部 29 に記憶された整合条件を参照することによって、各 FET への ON/OFF 信号を出力する。

10

図 6 は、インピーダンス変換回路選択部 27A の構成を説明するための回路図である。

インピーダンス変換回路選択部 27A は、周波数検出部 25 が検出した周波数の値 f と、LCR 値記憶部 26 からの内視鏡の種類に応じた L, C, R 成分値に基づいて、インピーダンス整合条件記憶部 29 に記憶された整合条件を参照することによって、各 FET への ON/OFF 信号を出力する。

【0063】

図 7 は、インピーダンス整合条件記憶部 29 に記憶された整合条件の例を示す図である。図 7 に示すように、インピーダンス整合条件記憶部 29 は、複数のテーブル $table1 \sim n$ と、各テーブルに対応した各 FET の ON/OFF 情報を記憶しているルックアップテーブルを含む。各テーブルは、周波数 f_a と、レジスタンス R_a 、インダクタンス値 L_a 、及びコンダクタンス C_a の組み合わせの情報を有している。例えば、テーブル 1 は、周波数 f_a が $X1 \sim X2$ [MHz] で、レジスタンス R_a が $R1 \sim R2$ [Ω] で、インダクタンス値 L_a が $La1 \sim La2$ [μH] で、コンダクタンス C_a が $Ca1 \sim Ca2$ [μH] の組み合わせである。

20

【0064】

周波数検出部 25 が検出した周波数の値 f と LCR 値記憶部 26 からの L, C, R 成分値が含まれるルックアップテーブルに対応する、各 FET の ON/OFF 情報が、選択される。例えば、テーブル 1 の場合、トランジスタ Q4 だけが ON で、他のトランジスタは、OFF の出力とされる。

30

【0065】

インピーダンス変換回路選択部 27A は、周波数検出部 25 より伝達された周波数 f 、および LCR 値記憶部 26 より伝達された L、C、R 値を、インピーダンス整合条件記憶部 29 に記憶されたルックアップテーブルを参照し、FET Q1 ~ Q6 のうちどの FET を ON するかを決定して選択信号 S を出力する。その判断結果をもとに、対応する FET が ON され、インピーダンス変換部 28 の回路の $L1 \sim L3$ 、 $C1 \sim C3$ のうちインピーダンス整合条件に見合った定数の素子が LVDS 伝送路 16b に接続される。インピーダンス変換回路選択部 27A とインピーダンス変換部 28 が、周波数検出部 25 において検出された伝送周波数に応じて、インピーダンス整合を取るインピーダンス整合部を構成する。

40

【0066】

従って、本実施の形態によれば、第 1 の実施の形態と同様の効果を得ることができる。特に、インピーダンス整合条件を事前に算出しておいた結果をテーブルとして持っておき、参照するようにしたことにより、挿入部接続時にインピーダンス等を算出する処理が不要となる為、システムを簡易化することができる。

【0067】

以上のように、上述した 2 つの実施の形態の内視鏡装置によれば、挿入部の種類に応じてインピーダンス整合回路を個別に設ける必要のない内視鏡装置を提供することができる。

【0068】

50

なお、上述した実施の形態では、インピーダンス変換回路は、インダクタおよびコンデンサを映像信号伝送路に対して直列に接続した回路構成の例を挙げたが、映像信号伝送路とGND間に並列に接続した回路構成、あるいはインダクタおよびコンデンサを直列と並列に接続した回路構成、さらにはあるいはそれらの回路を組み合わせた回路構成でもよい。

【0069】

さらになお、インピーダンス変換回路は、インダクタおよびコンデンサを含む回路であるが、これらの代わりにあるいはこれらに追加して、抵抗器を用いた回路でもよい。

【0070】

さらに、インピーダンス変換回路において、インダクタ、コンデンサ、抵抗器に代えて、あるいはこれらに追加して、トランスを用いてもよい。

【0071】

また、上述した実施の形態では、撮像素子は、CMOSイメージセンサであり、そのデジタル映像信号に対してインピーダンス整合を図る構成を例として説明したが、撮像素子はCMOSイメージセンサ以外のイメージセンサでもよい。さらに、イメージセンサは、CCD等のアナログ映像信号を出力するセンサでもよく、その信号を変調して、高周波の信号で出力するような構成に対しても、上述した回路構成は適用可能であり、同等の効果を得ることができる。

【0072】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【符号の説明】

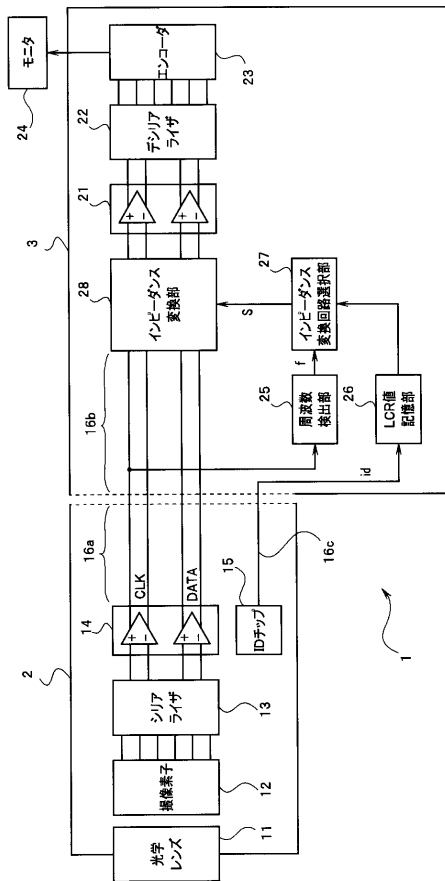
【0073】

1、1A 内視鏡装置、2 挿入部、3、3A プロセッサ、11 光学レンズ、12 撮像素子、13 シリアライザ、14 LVDSドライバー、15 IDチップ、21 LVDSレシーバー、22 デシリアライザ、23 エンコーダ、24 モニタ、25 周波数検出部、26 LCR値記憶部、27、27A インピーダンス変換回路選択部、27a 出力部、28 インピーダンス変換部、29 インピーダンス整合条件記憶部

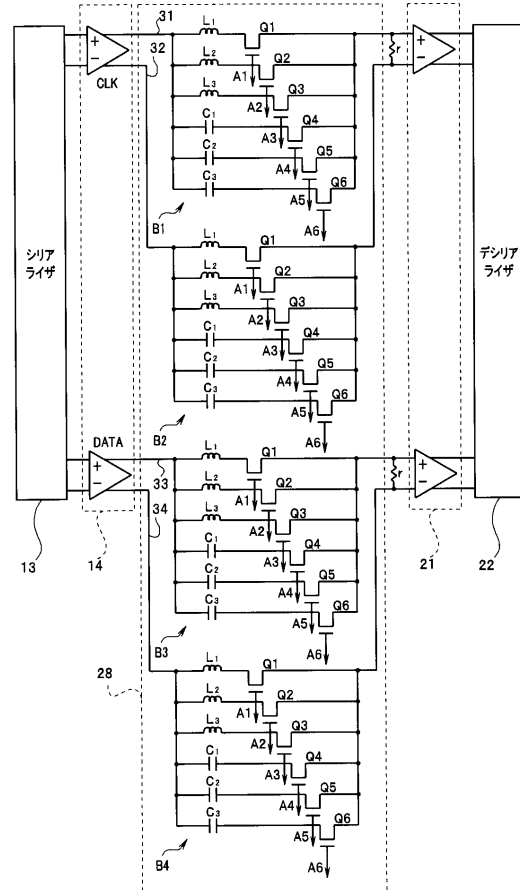
10

20

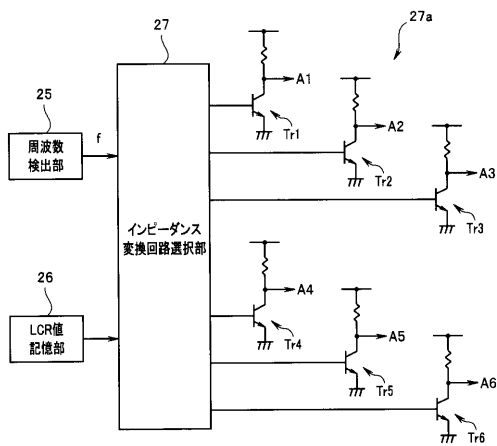
【図 1】



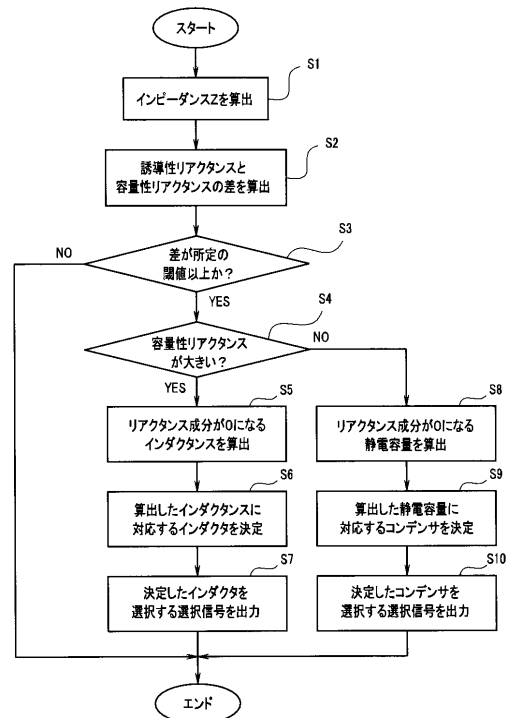
【図 2】



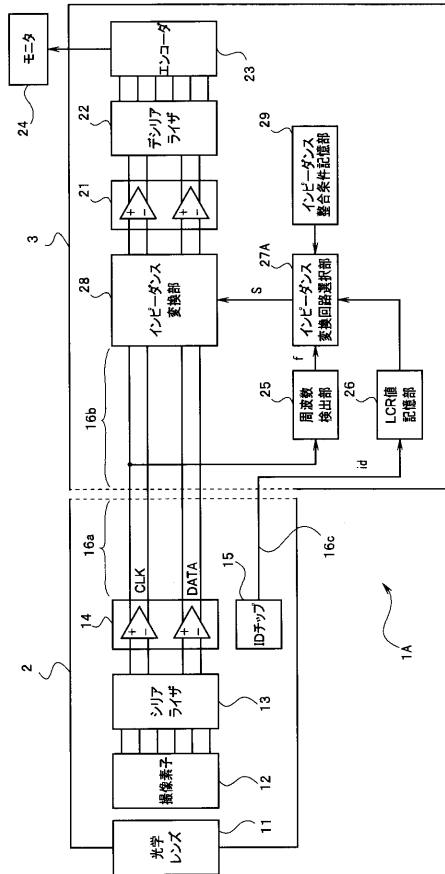
【図 3】



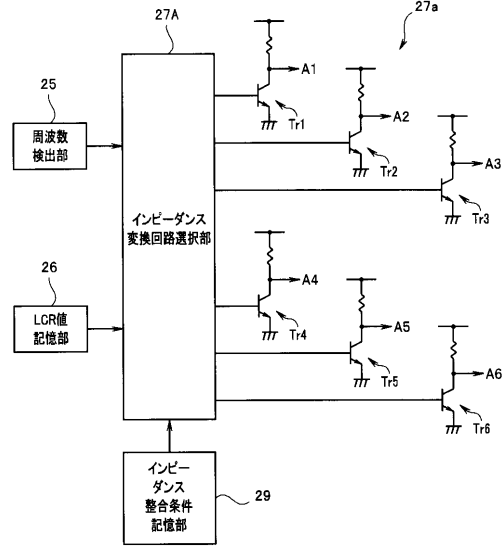
【図 4】



【図 5】



【図 6】



【図 7】

table	f ₀ [MHz]	Ra[Ω]	La[uH]	Ca[pF]	Q1	Q2	Q3	Q4	Q5	Q6
table 1	周波数X1[MHz]~X2[MHz]	R1[Ω]~R2[Ω]	La1[uH]~La2[uH]	Ca1[pF]~Ca2[pF]	OFF	OFF	OFF	ON	OFF	OFF
table 2	周波数X2[MHz]~X3[MHz]	R2[Ω]~R3[Ω]	La2[uH]~La3[uH]	Ca2[pF]~Ca3[pF]	OFF	OFF	OFF	OFF	ON	OFF
table 3	周波数X3[MHz]~X4[MHz]	R3[Ω]~R4[Ω]	La3[uH]~La4[uH]	Ca3[pF]~Ca4[pF]	OFF	OFF	OFF	OFF	OFF	ON
table 4	周波数X4[MHz]~X5[MHz]	R4[Ω]~R5[Ω]	La4[uH]~La5[uH]	Ca4[pF]~Ca5[pF]	ON	OFF	OFF	OFF	OFF	OFF
table 5	周波数X5[MHz]~X6[MHz]	R5[Ω]~R6[Ω]	La5[uH]~La6[uH]	Ca5[pF]~Ca6[pF]	OFF	ON	OFF	OFF	OFF	OFF
...	...	...	...	...	...	...	...	...	...	...
table n	周波数X1[MHz]~X2[MHz]	Rn[Ω]~Rm[Ω]	La1[uH]~La2[uH]	Ca1[pF]~Ca2[pF]	OFF	OFF	ON	OFF	OFF	OFF

专利名称(译)	内视镜装置		
公开(公告)号	JP2012011144A	公开(公告)日	2012-01-19
申请号	JP2010153460	申请日	2010-07-05
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	江幡定生		
发明人	江幡 定生		
IPC分类号	A61B1/04		
FI分类号	A61B1/04.362.J A61B1/04.372 A61B1/00.550 A61B1/00.680 A61B1/045.610 A61B1/05		
F-TERM分类号	4C061/CC06 4C061/FF45 4C061/JJ15 4C061/JJ18 4C061/JJ19 4C061/LL02 4C061/NN03 4C061/ UU03 4C061/UU09 4C161/CC06 4C161/FF45 4C161/JJ15 4C161/JJ18 4C161/JJ19 4C161/LL02 4C161/NN03 4C161/UU03 4C161/UU09		
代理人(译)	伊藤 进		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种内窥镜装置，其不需要根据插入部分的类型单独安装阻抗匹配电路。解决方案：内窥镜装置1包括：成像元件12，其安装在尖端处。插入部分2，拍摄对象的光学图像；编码器23，对在成像元件12中光电转换的成像信号应用规定的图像处理；频率检测部分25，检测成像信号的传输频率；阻抗转换部28根据频率检测部25中检测出的发送频率确保阻抗匹配。

